

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0064767
Application Number

출원 년 월 일 : 2002년 10월 23일
Date of Application OCT 23, 2002

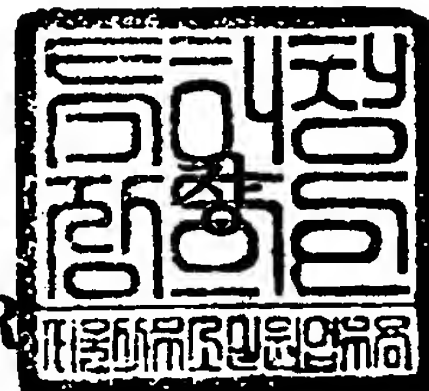
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 30 일

특 허 청

COMMISSIONER



【서지사항】

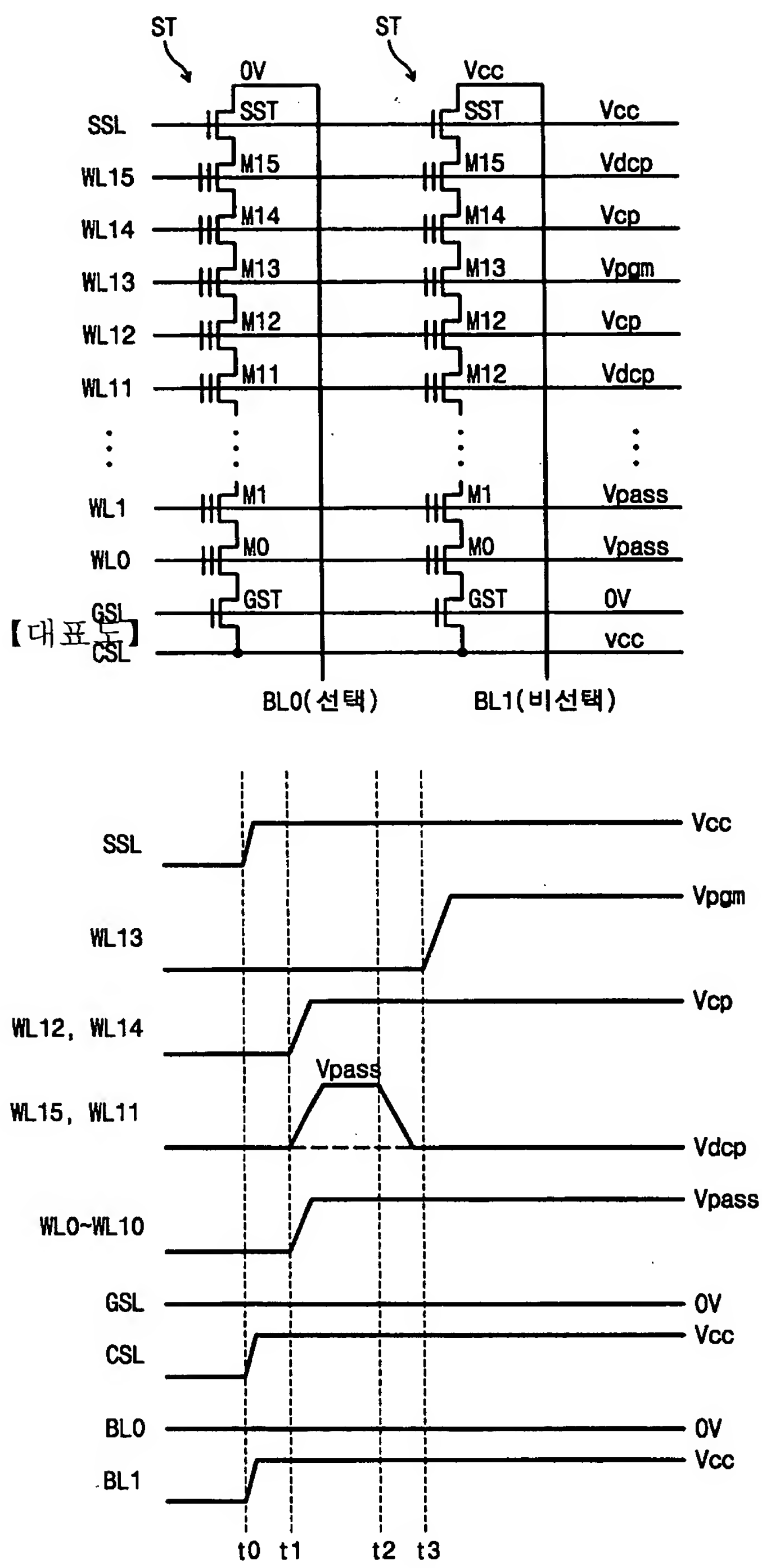
【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0001		
【제출일자】	2002.10.23		
【발명의 명칭】	불 휘발성 반도체 메모리 장치 및 그것의 프로그램 방법		
【발명의 영문명칭】	NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE AND PROGRAM METHOD THEREOF		
【출원인】			
【명칭】	삼성전자 주식회사		
【출원인코드】	1-1998-104271-3		
【대리인】			
【성명】	임창현		
【대리인코드】	9-1998-000386-5		
【포괄위임등록번호】	1999-007368-2		
【대리인】			
【성명】	권혁수		
【대리인코드】	9-1999-000370-4		
【포괄위임등록번호】	1999-056971-6		
【발명자】			
【성명의 국문표기】	이창현		
【성명의 영문표기】	LEE, CHANG HYUN		
【주민등록번호】	701121-1110918		
【우편번호】	442-470		
【주소】	경기도 수원시 팔달구 영통동 1039-12 202호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	25	면	25,000 원

【우선권주장료】	0	건	0	원
【심사청구료】	35	항	1,229,000	원
【합계】	1,283,000		원	
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

여기에 개시되는 불 휘발성 반도체 메모리 장치의 프로그램 방법에 따르면, 프로그램될 메모리 셀 트랜지스터에 연결되는 제 1 워드 라인에 최인접한 적어도 하나의 제 2 워드 라인으로 커플링 전압이 인가되고 상기 적어도 하나의 제 2 워드 라인에 최인접한 제 3 워드 라인으로 커플링 방지 전압이 각각 인가된다. 그 다음에, 상기 제 1 워드 라인으로 프로그램 전압이 공급된다. 나머지 워드 라인들에는 패스 전압이 각각 인가된다. 여기서, 커플링 전압은 커플링 방지 전압보다 높은 반면에, 패스 전압보다 높거나 낮게 설정된다. 또는, 커플링 전압은 패스 전압과 동일하게 설정될 수 있다. 이러한 프로그램 방법에 따르면, 프로그램 전압이 공급되기 이전에, 프로그램될 메모리 셀 트랜지스터의 부유 게이트에는 인접한 셀 트랜지스터들의 부유 게이트들과의 커패시티브 커플링을 통해 0V 보다 높은 전압이 유도된다.

【대표도】



【명세서】**【발명의 명칭】**

불 휘발성 반도체 메모리 장치 및 그것의 프로그램 방법{NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE AND PROGRAM METHOD THEREOF}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 셀프-부스팅 스킴을 이용한 프로그램 방법을 설명하기 위한 도면;

도 2는 종래 기술에 따른 로컬 셀프-부스팅 스킴을 이용한 프로그램 방법을 설명하기 위한 도면;

도 3은 커패시턴스 커플링에 기초한, 선택된 메모리 셀 트랜지스터 및 그것의 인접한 메모리 셀 트랜지스터들 간의 부유 게이트 간섭 모델을 보여주는 도면;

도 4는 본 발명에 따른 불 휘발성 반도체 메모리 장치를 보여주는 블록도;

도 5는 본 발명의 제 1 실시예에 따른 프로그램 동작의 워드 라인 전압 조건을 보여주는 도면;

도 6은 본 발명의 제 1 실시예에 따른 프로그램 방법을 설명하기 위한 동작 타이밍도;

도 7은 프로그램 동작시, 인접한 메모리 셀 트랜지스터의 부유 게이트들의 전압 변화에 따른 선택된 메모리 셀 트랜지스터의 부유 게이트의 전압 변화를 보여주는 도면;

도 8은 본 발명의 제 2 실시예에 따른 프로그램 동작의 워드 라인 전압 조건을 보여주는 도면; 그리고

도 9는 본 발명의 제 2 실시예에 따른 프로그램 방법을 설명하기 위한 동작 타이밍도이다.

*** 도면의 주요 부분에 대한 부호 설명 ***

100 : 불 휘발성 반도체 메모리 장치

110 : 메모리 셀 어레이

120 : 스위치 회로

130, 140 : 디코더 회로

150 : 전압 발생 회로

160 : 감지 & 래치 회로

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<17> 본 발명은 반도체 메모리 장치들에 관한 것으로, 좀 더 구체적으로는 셀프-부스팅 스킴 (self-boosting scheme)을 이용한 불 휘발성 반도체 메모리 장치 및 그것의 프로그램 방법에 관한 것이다.

<18> 반도체 메모리 장치에 저장된 데이터의 리프레시 없이 전기적으로 소거 및 프로그램 가능한 반도체 메모리 장치들에 대한 요구가 점차적으로 증가되고 있다. 또한, 메모리 장치의 저장 용량 및 집적도를 높이는 것이 주된 흐름이다. 저장된 데이터의 리프레시 없이 대용량 및 높은 집적도를 제공하는 불 휘발성 반도체 메모

리 장치의 일 예가 NAND형 플래시 메모리 장치이다. 파워-오프시 조차 데이터를 그대로 유지하기 때문에, 그러한 플래시 메모리 장치는 전원이 갑자기 차단될 수 있는 전자 장치들 (예를 들면, 휴대용 단말기, 휴대용 컴퓨터, 등등)에 폭넓게 사용되고 있다.

<19> 불 휘발성 반도체 메모리 장치로서, NAND형 플래시 메모리 장치는 전기적으로 소거 및 프로그램 가능한 롬 셀들 (Electrically Erasable and Programmable Read-Only Memory cells)을 포함하며, "플래시 EEPROM 셀들"이라 불린다. 통상적으로, 플래시 EEPROM 셀은 메모리 셀 트랜지스터 또는 부유 게이트 트랜지스터 (floating gate transistor)를 포함하며, 상기 트랜지스터는 기판으로서 포켓 P-웰 영역에 형성되며, 서로 소정 간격 떨어진 N형의 소오스 및 드레인 영역들 (N-type source and drain regions), 소오스 및 드레인 영역들 사이의 채널 영역 상에 위치하며 전하들을 저장하는 부유 게이트 (floating gate), 그리고 부유 게이트 상에 위치한 제어 게이트 (control gate)를 포함한다.

<20> 낸드형 플래시 메모리 장치는 메모리 셀 어레이를 포함하며, 어레이에는 비트 라인들에 각각 대응하는 복수 개의 스트링들 (셀 스트링들 또는 낸드 스트링들)을 포함한다. 각 셀 스트링은 제 1 선택 트랜지스터로서 스트링 선택 트랜지스터 (string select transistor), 제 2 선택 트랜지스터로서 접지 선택 트랜지스터 (ground select transistor), 그리고 스트링 및 접지 선택 트랜지스터들 사이에 직렬 연결된 복수의 메모리 셀들로 구성된다. 스트링 선택 트랜지스터는 대응하는 비트 라인에 연결된 드레인 및 스트링 선택 라인 (string select line)에 연결된 게

이트를 갖는다. 접지 선택 트랜지스터는 공통 소오스 라인 (common select line)에 연결된 소오스 및 접지 선택 라인 (ground select line)에 연결된 게이트를 갖는다. 스트링 선택 트랜지스터의 소오스 및 접지 선택 트랜지스터의 드레인 사이에는 복수 개의 메모리 셀들이 직렬 연결되며, 각 스트링의 메모리 셀들은 대응하는 워드 라인들에 각각 연결된다.

<21> 초기에, 메모리 셀들은, 예를 들면, -3V의 문턱 전압을 갖도록 소거된다. 메모리 셀들을 프로그램하기 위해서, 소정 시간 동안 선택된 메모리 셀의 워드 라인으로 고전압 (또는 프로그램 전압) (예를 들면, 20V)을 인가함으로써 선택된 메모리 셀이 더 높은 문턱 전압으로 변화된다. 반면에, 나머지 (또는 선택되지 않은) 메모리 셀들의 문턱 전압들은 변화되지 않는다.

<22> 선택된 워드 라인에 연결된 메모리 셀들 중 일부 (이하, "프로그램될 메모리 셀"이라 칭함)를 프로그램하고 나머지 메모리 셀들 (이하, "프로그램 금지될 메모리 셀"이라 칭함)을 프로그램 금지할 때 한 가지 문제점이 생긴다. 선택된 워드 라인에 프로그램 전압이 인가될 때, 프로그램 전압은 프로그램될 메모리 셀뿐만 아니라 선택된 워드 라인의 프로그램 금지될 메모리 셀들에도 인가된다. 이때, 선택된 워드 라인의 프로그램 금지될 메모리 셀이 프로그램된다. 선택된 워드 라인의 프로그램 금지될 메모리 셀의 의도하지 않은 프로그램은 "프로그램 디스터브" (program disturb)라 불린다.

<23> 프로그램 디스터브를 방지하기 위한 기술들 중 하나는 셀프-부스팅 스킴 (self-boosting scheme)을 이용한 프로그램 금지 방법이다. 셀프-부스팅 스킴을

이용한 프로그램 금지 방법은 U.S. Patent No. 5,677,873에 ""라는 제목으로, 그리고 U.S. Patent No. 5,991,202에 ""라는 제목으로 개시되어 있고, 레퍼런스로 포함된다.

<24> 셀프-부스팅 스킴을 이용한 프로그램 금지 방법은 도 1을 참조하여 이하 상세히 설명될 것이다. 먼저, 접지 선택 트랜지스터 (GST)의 게이트에 0V의 전압을 인가함으로써 접지 경로가 차단된다. 선택된 비트 라인 (예를 들면, BL0)에는 0V의 전압이 인가되고, 비선택된 비트 라인 (예를 들면, BL1)에는 프로그램 금지 전압 (program inhibition voltage)으로서 3.3V 또는 5V의 전원 전압 (Vcc)이 인가된다. 동시에, 스트링 선택 라인 (SSL)에는 전원 전압 (Vcc)이 인가된다. 비선택된 비트 라인 (BL1)에 연결된 스트링 선택 트랜지스터 (SST)의 소오스가 (Vcc-Vth) (Vth는 스트링 선택 트랜지스터의 문턱 전압)까지 충전되고, 그 다음에 비선택된 비트 라인 (BL1)에 연결된 스트링 선택 트랜지스터 (SST)는 사실상 차단된다 (또는, 셧 오프된다). 선택된 워드 라인 (예를 들면, WL14)에 프로그램 전압 (Vpgm)이 인가되고 비선택 워드 라인들 (예를 들면, WL0-WL13, WL15)에 패스 전압 (Vpass)이 각각 인가됨에 따라, 프로그램 금지될 셀 트랜지스터의 채널 전압은 프로그램 전압 (Vpgm)에 의해서 부스팅된다. 프로그램 금지될 셀 트랜지스터의 부스팅된 채널 전압은 아래의 수학적 식 1과 같다.

<25>

$$V_{ch} = \frac{V_{cc} - V_{th}}{N} + V_{pgm} \frac{C_t}{C_t + C_{ch}}$$

【수학적 식 1】

- <26> 여기서, N 은 워드 라인 수를 나타내고, V_{th} 는 스트링 선택 트랜지스터의 문턱 전압을 나타내며, C_{ch} 는 프로그램 금지될 메모리 셀 트랜지스터의 채널 커패시턴스를 나타낸다. C_t 는 프로그램 금지될 메모리 셀 트랜지스터의 총 커패시턴스를 나타내며, $(C_{ono} \parallel C_{tun})$ 이다.
- <27> 프로그램 금지될 셀 트랜지스터의 제어 게이트에 프로그램 전압이 인가되더라도, 부스팅된 채널 전압은 프로그램 금지될 셀 트랜지스터의 부유 게이트와 그것의 채널 사이에 F-N 터널링이 생기지 않게 한다. 따라서, 프로그램 금지될 셀 트랜지스터는 초기의 소거 상태를 유지한다.
- <28> 또 다른 기술은 로컬 셀프-부스팅 스킴 (local self-boosting scheme)을 이용한 프로그램 금지 방법이다. 로컬 셀프-부스팅 스킴을 이용한 프로그램 금지 방법은 U.S. Patent No. 5,715,194에 "*BIAS SCHEME OF PROGRAM INHIBIT FOR RANDOM PROGRAMMING IN A NAND FLASH MEMORY*"라는 제목으로 그리고 U.S. Patent No. 6,061,270에 "*METHOD FOR PROGRAMMING A NON-VOLATILE MEMORY DEVICE WITH PROGRAM DISTURB CONTROL*"라는 제목으로 개시되어 있고, 레퍼런스로 포함된다.
- <29> 로컬 셀프-부스팅 스킴을 이용한 프로그램 금지 방법이 도 2를 참조하여 이하 상세히 설명될 것이다. 먼저, 선택된 비트 라인 (예를 들면, BL0)에는 0V의 전압이 인가되고, 비선택된 비트 라인 (예를 들면, BL1)에는 프로그램 금지 전압으로서 3.3V 또는 5V의 전원 전압 (V_{cc})이 인가된다. 스트링 선택 라인 (SSL)에는 전원 전압 (V_{cc})이 인가되기 때문에, 비선택된 비트 라인 (BL1)에 연결된 스트링 선택 트랜지스터 (SST)의 소오스가 ($V_{cc} - V_{th}$) (V_{th} 는 스트링 선택 트랜지스터의 문턱 전압)까지 충전된다. 이는

비선택된 비트 라인 (BL1)에 연결된 스트링 선택 트랜지스터 (SST)가 차단(또는 셧-오프)되게 한다.

<30> 그리고, 선택된 워드 라인 (예를 들면, WL14)에 최인접한 2개의 비선택된 워드 라인들 (예를 들면, WL13, WL15)에는 0V의 커플링 방지 전압 (decoupling voltage) (V_{dcp}) 이 각각 인가된다. 나머지 비선택된 워드 라인들 (예를 들면, WL0-WL12)에는 패스 전압 (V_{pass}) (예를 들면, 10V)이 각각 인가된다. 그 다음에, 상기 선택된 워드 라인에 프로그램 전압 (V_{pgm})이 인가된다. 이러한 바이어스 조건에 따르면, 프로그램 금지될 셀 트랜지스터의 채널은 커플링 방지 전압을 공급받는 비선택된 워드 라인들의 셀 트랜지스터들에 의해서 제한되기 때문에, 프로그램 금지될 셀 트랜지스터의 부스팅 채널 전압은 셀프-부스팅 스킴을 이용한 프로그램 금지 방법에 비해서 증가된다. 셀프-부스팅 방법과 마찬가지로, 부스팅된 채널 전압은 프로그램 금지된 셀 트랜지스터의 부유 게이트와 그것의 채널 사이에 F-N 터널링이 생기지 않게 하며, 그 결과 프로그램 금지된 셀 트랜지스터는 초기의 소거 상태를 유지한다.

<31> 로컬 셀프-부스팅 스킴을 이용한 프로그램 금지 방법은 셀프-부스팅 스킴보다 더 높은 채널 전압을 얻을 수 있기 때문에 n-비트 데이터 (n은 2 또는 그 보다 큰 수)를 저장하는 멀티-레벨 셀을 프로그램하는 데 사용되고 있다. 하지만, 로컬 셀프-부스팅 스킴은 셀프-부스팅 스킴과 비교하여 볼 때 프로그램 속도가 저하되는 문제점을 갖는다. 이러한 문제점의 원인은 다음과 같다.

<32> 일반적으로, 프로그램될 메모리 셀 트랜지스터의 부유 게이트의 전압은 커패시티브 커플링 (capacitive coupling)을 통해 인접한 셀 트랜지스터들의 부유 게이트의 전압들에 영향을 받는다. 이러한 현상은 "Effects of Floating-Gate Interference on NAND

Flash Memory Cell Operation"라는 제목의 문헌 (IEEE ELECTRON DEVICE LETTERS, VOL. 23, NO. 5, MAY 2002)에 게시되어 있다. 임의의 메모리 셀 트랜지스터 (이하, "기준 메모리 셀 트랜지스터"라 칭함)에 있어서, 도 3에 도시된 바와 같이, 기준 메모리 셀 트랜지스터의 부유 게이트 및 제어 게이트 사이에, 기준 메모리 셀 트랜지스터의 부유 게이트 및 채널 (벌크 또는 바디) 사이에, 그리고 기준 메모리 셀 트랜지스터의 부유 게이트와 인접한 메모리 셀 트랜지스터들의 부유 게이트들 사이에 커플링 커패시터들 (Cono, Cfg, Ctun)이 각각 존재한다. 이러한 커플링 커패시터들에 의해서 기준 메모리 셀 트랜지스터의 부유 게이트의 전압이 영향을 받는다.

<33> 기준 메모리 셀 트랜지스터의 제어 게이트에 대한 커플링비 (coupling ratio)는 수학식 2와 같다.

<34>

$$\gamma_{mo} = \frac{C_{mo}}{C_{tun} + C_{mo} + 2C_{fg}}$$

【수학식 2】

<35> 여기서, Cono는 제어 게이트-부유 게이트 커패시턴스 (control gate-to-floating gate capacitance)이고, Ctun은 부유 게이트-채널 커패시턴스 (floating gate-to-channel capacitance)이며, Cfg는 부유 게이트-부유 게이트 커패시턴스 (floating gate-floating gate capacitance)이다.

<36> 그리고, 기준 메모리 셀 트랜지스터의 부유 게이트에 대한 커플링비는 수학식 3과 같다.

<37>

$$\gamma_{fg} = \frac{C_{fg}}{C_{tun} + C_{mo} + 2C_{fg}}$$

【수학식 3】

<38> 제 1의 비선택된 워드 라인에 연결된 메모리 셀 트랜지스터의 부유 게이트의 전압 (V1)은 수학식 4와 같다.

<39>

$$V1 = \gamma_{mo} V_{cg1} = \frac{C_{mo} V_{cg1}}{C_{tm} + C_{mo} + 2C_{fg}}$$

【수학식 4】

<40> 여기서, Vcg1은 제어 게이트에 인가된 전압 즉, 비선택된 워드 라인에 인가되는 전압이다.

<41> 그리고, 제 2의 비선택된 워드 라인에 연결된 메모리 셀 트랜지스터의 부유 게이트의 전압 (V2)은 수학식 5와 같다.

<42>

$$V2 = \gamma_{mo} V_{cg2} = \frac{C_{mo} V_{cg2}}{C_{tm} + C_{mo} + 2C_{fg}}$$

【수학식 5】

<43> 여기서, Vcg2은 제어 게이트에 인가된 전압 즉, 비선택된 워드 라인에 인가되는 전압이다.

<44> 따라서, 기준 메모리 셀 트랜지스터 부유 게이트의 전압 (Vfg)은 수학식 6과 같이 결정된다.

<45>

$$V_{fg} = \gamma_{mo} V_{cg} + \gamma_{mo} \gamma_{fg} V_{cg1} + \gamma_{mo} \gamma_{fg} V_{cg2}$$

【수학식 6】

<46> 로컬 셀프-부스팅 방법에 따르면, 선택된 워드 라인 (예를 들면, WL14)에는 프로그램 전압 (Vpgm)이 인가되고, 선택된 워드 라인에 최인접한 2개의 비선택된 워드 라인들

(WL13, WL15)에는 0V의 커플링 방지 전압 (V_{dcp})이 각각 인가된다. 이러한 전압 조건에 따르면, 기준 메모리 셀 트랜지스터의 부유 게이트의 전압은 수학적 식 7과 같다.

<47>

$$V_{fg} = \gamma_{ono} V_{pgm}(WL14) + \gamma_{ono} \gamma_{fg} V_{dcp}(WL13) + \gamma_{ono} \gamma_{fg} V_{dcp}(WL15)$$

【수학적 식 7】

<48>

워드 라인들 (WL13, WL15)에 0V의 전압이 각각 인가되기 때문에, $\gamma_{on} V_{gs}(WL13)$ 은 0V가 되고 $\gamma_{on} V_{gs}(WL15)$ 은 0V가 된다. 그러므로, 기준 메모리 셀 트랜지스터의 부유 게이트의 전압 (V_{fg})은 $\gamma_{on} V_{gs}(WL13)$ 이 된다.

<49>

앞서의 설명에 따르면, 기준 메모리 셀 트랜지스터의 부유 게이트의 전압 (V_{fg})이 양측에 위치한 부유 게이트들의 전압들 (V_1, V_2)에 영향을 받지 못하기 때문에, 로컬 셀프-부스팅 방법의 프로그램 속도는 셀프-부스팅 방법의 프로그램 속도보다 더 느려진다. 즉, 비선택된 워드 라인들에 패스 전압이 인가되는 셀프-부스팅 방법의 경우, 기준 메모리 셀 트랜지스터의 부유 게이트의 전압은 커패시티브 커플링에 의해서 더 높아지기 때문에, 로컬 셀프-부스팅 방법과 비교하여 볼 때 프로그램 속도가 상대적으로 빨라진다.

<50>

"인크리먼트 스텝 펄스 프로그램 스킴" (incremental step pulse programming (ISPP) scheme)을 이용하여 프로그램 동작을 수행하는 낸드 플래시 메모리 장치의 경우, 반복되는 프로그램 사이클 동안 프로그램 전압 (V_{pgm})은, 예를 들면, 0.5V씩 14.7V에서 20V까지 순차적으로 증가된다. 프로그램 속도가 느려짐에 따라 프로그램 사이클의 횟수는 필연적으로 증가된다. ISSP 스킴을 사용하는 경우, 프로그램 사이클 횟수의 증가는 보다 높은 프로그램 전압을 요구하며, 결국 주변 회로 (특히, 고전압 펌프)의 면적 증가

(보다 높은 고전압을 얻기 위해서 고전압 펌프단 (pump stage)의 수가 증가되어야 함)
 및 프로그램 시간의 증가를 초래한다.

【발명이 이루고자 하는 기술적 과제】

<51> 본 발명의 목적은 프로그램 속도를 향상시킬 수 있는 불 휘발성 반도체 메모리 장치 및 그것의 프로그램 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<52> 상술한 제반 목적을 달성하기 위한 본 발명의 일 특징에 따르면, 대응하는 비트 라인들에 각각 연결되며, 제 1 및 제 2 선택 트랜지스터들 사이에 직렬 연결되고 대응하는 워드 라인들에 각각 연결되는 복수의 메모리 셀 트랜지스터들을 갖는 스트링들을 포함하는 불 휘발성 반도체 메모리 장치의 프로그램 방법이 제공된다. 상기 메모리 셀 트랜지스터들 각각은 1-비트 데이터를 저장하거나, 멀티-비트 데이터를 저장한다. 프로그램 방법에 따르면, 먼저, 프로그램될 메모리 셀 트랜지스터에 연결되는 제 1 워드 라인에 최인접한 적어도 하나의 제 2 워드 라인으로 커플링 전압이 인가되고 상기 적어도 하나의 제 2 워드 라인에 최인접한 제 3 워드 라인으로 커플링 방지 전압이 각각 인가된다. 그 다음에, 상기 제 1 워드 라인으로 프로그램 전압이 공급된다. 나머지 워드 라인들에 패스 전압이 인가된다.

<53> 여기서, 상기 커플링 전압은 상기 커플링 방지 전압보다 높고, 상기 커플링 전압은 상기 패스 전압보다 높다. 상기 커플링 방지 전압은 접지 전압 또는 그 보다 낮은 전압이다.

- <54> 이 실시예에 있어서, 상기 프로그램될 메모리 셀 트랜지스터의 채널은 제 1 전압으로 그리고 프로그램 금지될 메모리 셀 트랜지스터의 채널은 제 2 전압으로 각각 프리차지된다. 상기 제 1 전압은 접지 전압이고 상기 제 2 전압은 ($V_{cc}-V_{th}$) (V_{th} 는 상기 제 1 선택 트랜지스터의 문턱 전압)이다.
- <55> 이하 본 발명의 바람직한 실시예들이 참조 도면들에 의거하여 상세히 설명될 것이다.
- <56> 본 발명의 낸드형 플래시 메모리 장치는 향상된 로컬 셀프-부스팅 스킴을 갖는다. 향상된 로컬 셀프-부스팅 스킴에 따르면, 선택된 워드 라인에 프로그램 전압이 인가되기 이전에, 선택된 워드 라인에 최인접한 비선택된 워드 라인(들)에는 커플링 전압 (coupling voltage) (패스 전압보다 높거나 낮음)이 그리고 선택된 워드 라인에 최인접한 비선택된 워드 라인(들)에 인접한 비선택된 워드 라인(들)에는 커플링 방지 전압 (decoupling voltage) (예를 들면, 0V)이 각각 인가된다. 선택된 워드 라인에 연결된 메모리 셀 트랜지스터의 부유 게이트의 전압은 커플링 전압을 공급받는 메모리 셀 트랜지스터(들)의 부유 게이트 전압에 영향을 받으며, 그 결과 선택된 워드 라인에 연결된 메모리 셀 트랜지스터의 터널 산화막 (부유 게이트 및 채널 사이에 존재하는 산화막)에 걸리는 전계가 종래의 로컬 셀프-부스팅 방법에 비해서 상승된다. 결과적으로, 종래의 로컬 셀프-부스팅 방법의 장점 (프로그램 금지된 셀 트랜지스터의 채널 전압을 높이는 것)을 유지하면서 종래의 로컬 셀프-부스팅 방법과 보다 더 빠르게 프로그램 동작을 수행할 수 있다. 즉, 향상된 로컬 셀프-부스팅 방법을 이용함으로써 프로그램 속도를 향상시킬 수 있다.

- <57> 도 4는 본 발명의 바람직한 실시예에 따른 낸드형 플래시 메모리 장치를 보여주는 블록도이다. 도 4를 참조하면, 본 발명에 따른 낸드형 플래시 메모리 장치 (100)는 메모리 셀 어레이 (110)를 포함하며, 메모리 셀 어레이 (110)는 복수 개의 비트 라인들 (BL0-BL_m)에 각각 연결되는 복수 개의 셀 스트링들 (ST)을 포함한다. 각 셀 스트링 (ST)은 제 1 선택 트랜지스터로서 스트링 선택 트랜지스터 (SST), 제 2 선택 트랜지스터로서 접지 선택 트랜지스터 (GST), 그리고 스트링 및 접지 선택 트랜지스터들 (SST, GST) 사이에 직렬 연결된 복수의, 예를 들면, 16개의 메모리 셀들 (M15-M0)로 구성된다. 스트링 선택 트랜지스터 (SST)는 대응하는 비트 라인에 연결된 드레인 및 스트링 선택 라인 (SSL)에 연결된 게이트를 갖는다. 접지 선택 트랜지스터 (GST)는 공통 소오스 라인 (CSL)에 연결된 소오스 및 접지 선택 라인 (GSL)에 연결된 게이트를 갖는다. 스트링 선택 트랜지스터 (SST)의 소오스 및 접지 선택 트랜지스터 (GST)의 드레인 사이에는 복수 개의 메모리 셀들 (M15-M0)이 직렬 연결되며, 각 셀 스트링 (ST)의 메모리 셀들 (M0-M15)은 대응하는 워드 라인들 (WL0-WL15)에 각각 연결된다.
- <58> 본 발명에 따른 메모리 셀들은 단일-비트 데이터를 저장하는 단일-레벨 셀로 구성될 수 있다. 또는 본 발명에 따른 메모리 셀들은 n-비트 데이터를 저장하는 멀티-레벨 셀로 구성될 수 있다.
- <59> 비트 라인들 (BL0-BL_m)은 감지 및 래치 회로 (sense and latch circuit) (또는 페이지 버퍼 회로 (page buffer circuit)) (160)에 연결된다. 감지 및 래치 회로 (160)는 프로그램 동작시 프로그램될 데이터 비트들에 따라 비트 라인들을 충전하는 기능을 갖는다. 즉, 프로그램 동작시, 감지 및 래치 회로 (160)는 외부로부터 공급되는 프로그램될 데이터 비트들을 래치하고, 래치된 데이터 비트들에 따라 비트 라인들 (BL0-BL_m)로 0V

또는 전원 전압 (V_{cc})을 각각 공급한다. 예를 들면, 감지 및 래치 회로 (160)는 프로그램 금지될 메모리 셀 트랜지스터의 비트 라인에는 전원 전압 (V_{cc})을 공급하며, 그 결과 프로그램 금지될 메모리 셀 트랜지스터의 채널은 ($V_{cc}-V_{th}$) (V_{th} 는 스트링 선택 트랜지스터의 문턱 전압)으로 충전된다. 감지 및 래치 회로 (160)는 프로그램될 메모리 셀 트랜지스터의 비트 라인에는 0V를 공급하며, 그 결과 프로그램될 메모리 셀 트랜지스터의 채널은 0V로 충전된다. 프로그램 동작시, 이러한 전압 공급은 워드 라인 전압이 공급되기 이전에 수행된다.

<60> 계속해서 도 4를 참조하면, 본 발명의 낸드형 플래시 메모리 장치 (100)는 스위치 회로 (120)를 포함하며, 스위치 회로 (120)는 스트링 선택 라인 (SSL), 워드 라인들 (WL15-WL0), 그리고 접지 선택 라인 (GSL)에 각각 연결된 복수 개의 패스 트랜지스터들 (PT17-PT0)을 포함한다. 18개의 패스 트랜지스터들 (PT0-PT17)은 제 1 디코더 회로 (130)로부터 출력되는 제어 신호 (GWL)에 의해서 동시에 턴 온/오프된다. 제어 신호 (GWL)는 동작 모드시 필요한 워드 라인 전압 (프로그램 전압(V_{pgm}), 패스 전압(V_{pass}), 읽기 전압(V_{read}), 커플링 전압 (V_{cp}), 등등)이 전달되기에 충분한 전압을 갖는다. 스트링 선택 라인 (SSL), 워드 라인들 (WL15-WL0), 그리고 접지 선택 라인 (GSL)은 스위치 회로 (120)를 통해 제 2 디코더 회로 (140)에 연결된다. 제 2 디코더 회로 (140)는 행 어드레스 정보에 응답하여 워드 라인들 (WL0-WL15) 중 하나를 선택하고, 전압 발생 회로 (150)로부터 워드 라인 전압들 (예를 들면, V_{pgm} , V_{pass} , V_{cp} , V_{read})을 공급받는다. 전압 발생 회로 (150)는 프로그램 전압 (V_{pgm})을 발생하는 프로그램 전압 발생기 (151), 패스 전압 (V_{pass})을 발생하는 패스 전압 발생기 (152), 커플링 전압 (V_{cp})을 발생하는 커플링 전압 발생기 (153), 그리고 독출 전압 (V_{read})을 발생하는 독출 전압 발생기

(154)를 포함한다. 이 분야의 통상적인 지식을 습득한 자들에게 잘 알려진 바와 같이, 프로그램 전압 발생기 (151), 패스 전압 발생기 (152), 그리고 커플링 전압 발생기 (153)는 고전압 펌프를 이용하여 구현될 수 있다.

<61> 여기서, 스위치 회로 (120), 제 1 디코더 회로 (130), 그리고 제 2 디코더 회로 (140)는 행 선택 회로 (row selecting circuit)를 구성한다. 프로그램 동작시 선택된 워드 라인 (또는 제 1 워드 라인)으로 프로그램 전압 (V_{pgm})을 공급하기 이전에, 행 선택 회로 (120, 130, 140)는 제 1 워드 라인에 최인접한 적어도 하나의 워드 라인 (또는 제 2 워드 라인)으로 커플링 전압 (V_{cp})을 공급하고 제 2 워드 라인에 최인접한 워드 라인 (또는 제 3 워드 라인)으로 커플링 방지 전압 (V_{dcp})을 공급하며 나머지 워드 라인들 (또는 제 4 워드 라인들)로 패스 전압 (V_{pass})을 공급한다. 커플링 방지 전압 (V_{dcp})은 커플링 전압 (V_{cp})과 패스 전압 (V_{pass})보다 낮고, 커플링 전압 (V_{cp})은 커플링 방지 전압 (V_{dcp})보다 높거나 낮다. 또는 커플링 전압 (V_{cp})은 패스 전압 (V_{pass})과 동일하게 설정될 수 있다.

<62> 예를 들면, 워드 라인 (WL15)이 선택될 때, 워드 라인 (WL14)에는 커플링 전압 (V_{cp})이 인가되고, 워드 라인 (WL13)에는 커플링 방지 전압 (V_{dcp})이 인가되며, 나머지 워드 라인들 (WL0-WL12)에는 패스 전압 (V_{pass})이 각각 인가된다. 마찬가지로, 워드 라인 (WL0)이 선택될 때, 워드 라인 (WL1)에는 커플링 전압 (V_{cp})이 인가되고, 워드 라인 (WL2)에는 커플링 방지 전압 (V_{dcp})이 인가되며, 나머지 워드 라인들 (WL3-WL15)에는 패스 전압 (V_{pass})이 각각 인가된다. 워드 라인 (WL14)이 선택될 때, 워드 라인들 (WL13, WL15)에는 커플링 전압 (V_{cp})이 각각 인가되고, 워드 라인 (WL12)에는 커플링 방지 전압 (V_{dcp})이 인가되며, 나머지 워드 라인들 (WL0-WL11)에는 패스 전압 (V_{pass})이 각각 인

가된다. 마찬가지로, 워드 라인 (WL1)이 선택될 때, 워드 라인들 (WL0, WL2)에는 커플링 전압 (V_{cp})이 각각 인가되고, 워드 라인 (WL3)에는 커플링 방지 전압 (V_{dcp})이 인가되며, 나머지 워드 라인들 (WL4-WL15)에는 패스 전압 (V_{pass})이 각각 인가된다. 워드 라인들 (WL3-WL13) 중 어느 하나 (예를 들면, WL13)가 선택될 때, 선택된 워드 라인 (WL13)의 최인접한 워드 라인들 (WL12, WL14)에는 커플링 전압 (V_{cp})이 각각 인가되고, 워드 라인들 (WL12, WL14)에 각각 인접한 워드 라인들 (WL11, WL15)에는 커플링 방지 전압 (V_{dcp})이 각각 인가되며, 나머지 워드 라인들 (WL0-WL10)에는 패스 전압 (V_{pass})이 각각 인가된다.

<63> 선택된 워드 라인에 프로그램 전압 (V_{pgm})이 공급되기 이전에, 선택된 워드 라인의 프로그램될 셀 트랜지스터의 부유 게이트의 전압은 커플링 전압 (V_{cp})을 공급받는 인접한 셀 트랜지스터(들)의 부유 게이트의 전압(들)에 의해서 0V보다 높은 전압이 된다. 그 결과 선택된 워드 라인으로 프로그램 전압 (V_{pgm})이 인가될 때, 선택된 워드 라인의 프로그램될 셀 트랜지스터의 터널 산화막에 걸리는 전계가 종래의 로컬 셀프-부스팅 방법에 비해서 상승된다.

<64> 도 5는 본 발명의 로컬 셀프-부스팅 스킴에 따른 워드 라인 전압 조건을 보여주는 도면이고, 도 6은 본 발명의 로컬 셀프 부스팅 스킴에 따른 프로그램 방법을 설명을 하기 위한 동작 타이밍도이다. 본 발명에 따른 낸드형 플래시 메모리 장치의 프로그램 동작이 참조 도면들에 의거하여 이하 상세히 설명될 것이다. 이하, 프로그램될 메모리 셀에 연결되는 비트 라인을 "선택된 비트 라인"이라 칭하고, 프로그램 금지될 메모리 셀에 연결되는 비트 라인을 "비선택된 비트 라인"이라 칭한다. 마찬가지로, 프로그램될 메모리 셀에 연결되는 워드 라인을 "선택된 워드 라

인"이라 칭하고, 나머지 워드 라인들을 각각 "비선택된 워드 라인"이라 칭한다. 여기서, "최인접한 워드 라인" 또는 "인접한 워드 라인"이라는 용어는 두 개의 워드 라인들 사이에 어떠한 워드 라인도 존재하지 않음을 의미한다.

<65> 먼저, t_1 시점에서, 선택된 비트 라인 (예를 들면, BL0)에는 0V의 접지 전압이 인가되고, 비선택된 비트 라인 (예를 들면, BL1)에는 전원 전압 (V_{cc})이 인가된다. 스트링 선택 라인 (SSL)에는 전원 전압 (V_{cc})이 인가되고 접지 선택 라인 (GSL)에는 접지 전압이 인가된다. 공통 소오스 라인 (CSL)에는 전원 전압 (V_{cc}) 또는 접지 전압이 공급된다. 그 다음에, t_1 및 t_2 사이에서, 선택된 워드 라인 (예를 들면, WL13)에 최인접한 2개의 비선택된 워드 라인들 (예를 들면, WL12, WL14)에는 커플링 전압 (V_{cp})이 각각 인가되고, 나머지 비선택된 워드 라인들 (예를 들면, WL0-WL11, WL15)에는 패스 전압 (V_{pass})이 각각 인가된다. 또는, 도 6에서 점선으로 표시된 바와 같이, 워드 라인들 (WL12, WL14)에 각각 인접한 워드 라인들 (WL11, WL15)에는 V_{pass} 대신에 0V가 인가될 수 있다.

<66> 스트링 선택 라인 (SSL)에 전원 전압 (V_{cc})이 인가되기 때문에, 비선택된 비트 라인 (BL1)에 연결된 스트링 선택 트랜지스터 (SST)의 소오스가 ($V_{cc}-V_{th}$) (V_{th} 는 스트링 선택 트랜지스터의 문턱 전압)까지 충전된다. 즉, 프로그램 금지될 셀 트랜지스터의 채널은 ($V_{cc}-V_{th}$)까지 충전된다. 이는 비선택된 비트 라인 (BL1)에 연결된 스트링 선택 트랜지스터 (SST)가 차단(또는 셧-오프)되게 한다. t_2 시점에서, 비선택된 워드 라인들 (WL11, WL15)의 전압은 V_{pass} 전압에서 V_{dcp} 전압으로 변화된다. t_3 시점에서, 선택된 워드 라인 (WL13)에 프로그램 전압 (V_{pgm})이 인가된다.

<67> 즉, t_3 시점에서, 선택된 워드 라인 (WL13)에 최인접한 2개의 비선택된 워드 라인들 (WL12, WL14)에는 커플링 전압 (V_{cp})이 각각 인가되고, 워드 라인들 (WL12, WL14)에

각각 인접한 비선택된 워드 라인들 (WL11, WL15)에는 커플링 방지 전압 (Vdcp)이 각각 인가된다. 나머지 비선택된 워드 라인들 (예를 들면, WL0-WL10)에는 패스 전압 (Vpass) (예를 들면, 10V)이 각각 인가된다. 선택된 워드 라인 (WL13)에 프로그램 전압 (Vpgm)이 인가되기 이전의 바이어스 조건에 따르면, 프로그램될 메모리 셀 트랜지스터의 부유 게이트에는 수학적 식 8과 같은 전압이 유도된다.

<68>

$$V_{fg} = \gamma_{mo} V_{pgm}(WL13) + \gamma_{mo} \gamma_{fg} V_{cp}(WL12) + \gamma_{mo} \gamma_{fg} V_{cp}(WL14)$$

【수학적 식 8】

<69> 여기서, Vcp(WL12) 및 Vcp(WL14)이 0V보다 높고 패스 전압 (Vpass)보다 낮거나 높다.

<70> 수학적 식 8에서 알 수 있듯이, 선택된 워드 라인 (WL13)에 프로그램 전압 (Vpgm)이 인가되기 이전에, 프로그램될 메모리 셀 트랜지스터의 부유 게이트에는 수학적 식 9와 같은 전압이 인접한 부유 게이트들과의 커패시티브 커플링을 통해 유도된다.

<71>

$$V_{fg} = \gamma_{mo} \gamma_{fg} V_{cp}(WL12) + \gamma_{mo} \gamma_{fg} V_{cp}(WL14)$$

【수학적 식 9】

<72> 도 2에서 설명된 로컬 셀프-부스팅 방법의 경우, 프로그램 전압 (Vpgm)이 인가되기 이전에 선택된 워드 라인의 프로그램될 셀 트랜지스터의 부유 게이트의 전압은 0V이다. 이에 반해서, 본 발명에 따른 향상된 로컬 셀프-부스팅 방법의 경우, 프로그램 전압 (Vpgm)이 인가되기 이전에 선택된 워드 라인의 프로그램될 셀 트랜지스터의 부유 게이트에는 수학적 식 9와 같은 전압이 유도된다. 이후, 선택된 워드 라인 (WL13)에 프로그램 전압 (Vpgm)이 인가될 때, 프로그램될 셀 트랜지스터의 부유 게이트에는 도 2의 그것보다 더 높은 전압이 유도된다. 따라서, 프로그램될 셀 트랜지스터의 터널 산화막에 걸리는

전계가 상승된다. 이때, 프로그램 금지될 셀 트랜지스터의 채널 전압은 아래의 수학적식 10과 같다.

<73>

$$V_{ch} = \frac{V_{cc} - V_{th}}{N} + \frac{V_{pgm}}{3} * \frac{C_1}{C_1 + C_{ch}} + \frac{2V_{cp}}{3} * \frac{C_1}{C_1 + C_{ch}}$$

【수학적식 10】

<74>

수학적식 8 또는 9에서 알 수 있듯이, 프로그램될 셀 트랜지스터의 부유 게이트의 전압은 커플링 전압 (V_{cp})에 의해서 결정되며, 이는 도 7에 도시되어 있다. 도 7에 도시된 그래프는 메모리 셀 트랜지스터의 스페이서는 SiN 물질로 형성되고, 게이트 길이 (gate length) 및 게이트-게이트 간격 (gate-to-gate space)는 $0.12\mu m$ 이고, 폴리실리콘 높이 (polysilicon height)는 1200\AA 이라는 가정 하에서, 프로그램 전압 (V_{pgm})이 $14.7V$ 이고 반복되는 프로그램 사이클 (또는 프로그램 루프)마다 $0.5V$ 씩 증가되는 ISSP 스킴을 이용하여 얻어진 것이다. 도 7에서, 가로축은 프로그램 횟수를 나타내며, 세로축은 프로그램될 셀 트랜지스터의 문턱 전압을 나타낸다.

<75>

도 7에 도시된 바와 같이, 커플링 전압 (V_{cp})이 증가함에 따라, 프로그램 횟수가 감소함을 알 수 있다. 예를 들면, $2V$ 의 문턱 전압을 갖도록 메모리 셀을 프로그램하는 경우, 커플링 전압 (V_{cp})이 $10V$ 일 때 11번의 프로그램 사이클 (또는 프로그램 루프)이 수행되고 커플링 전압 (V_{cp})이 $0V$ 일 때 14번의 프로그램 사이클이 수행된다. 향상된 로컬 셀프-부스팅 방법을 이용하여 프로그램 동작을 수행하는 경우, 프로그램 사이클이 3회 단축될 수 있다. 이는 향상된 로컬 셀프-부스팅 스킴을 이용한 낸드형 플래시 메모리 장치의 프로그램 속도가 향상됨을 의미한다. 특히, 본 발명에 따른 향상된 로컬 셀프-부

스팅 스킴은 게이트 간격이 좁아질수록 커패시티브 커플링이 강화되어 프로그램 속도를 더욱 향상시킬 수 있다.

<76> 도 8은 본 발명의 다른 프로그램 방법에 따른 워드 라인 전압 조건을 보여주는 도면이고, 도 9는 본 발명의 다른 프로그램 방법에 따른 낸드형 플래시 메모리 장치의 동작 타이밍도이다. 도 8 및 도 9에 도시된 바와 같이, 선택된 워드 라인 (예를 들면, WL13)에 최인접한 비선택된 워드 라인들 (WL12, WL14)에는 커플링 전압 (V_{cp})이 인가되고, 나머지 비선택된 워드 라인들 (WL0-WL11)에는 패스 전압 (V_{pass})이 인가된다. 커플링 전압 (V_{cp})은 패스 전압 (V_{pass})보다 높다는 점을 제외하면, 도 8에 도시된 프로그램 방법은 도 1에 도시된 셀프-부스팅 스킴을 이용한 것과 동일하다. 그러므로, 그것에 대한 설명은 여기서 생략된다. 커플링 전압 (V_{cp})을 높게 설정함으로써 프로그램될 셀 트랜지스터의 부유 게이트의 커플링 효과가 향상된다. 커플링 효과의 향상은 곧 프로그램 속도의 향상을 의미한다.

<77> 본 발명에 따른 향상된 로컬 셀프-부스팅 방법 및 향상된 셀프-부스팅 방법은 단일-레벨 셀뿐만 아니라 멀티-레벨 셀을 프로그램하는 데 모두 사용될 수 있다. 특히, 단일-레벨 셀보다 더 높은 프로그램 전압을 필요로 하는 멀티-레벨 셀의 경우, 본 발명의 향상된 로컬 셀프-부스팅 방법에 의해서 보다 빠르게 메모리 셀을 프로그램할 수 있다. 그러므로, 본 발명에 따른 향상된 로컬 셀프-부스팅 방법은 주변 회로의 면적 증가에 대한 부담 없이 고속의 멀티-레벨 메모리 장치를 구현하는 데 용이하다. 멀티-레벨 메모리 장치의 경우, "11", "01", "10", 그리고 "00"을 프로그램할 때 프로그램 전압 (V_{pgm})이 "01", "10", 그리고 "00"의 프로그램 과정에서 다르게 설정된다. 하지만, 커플링 전압 (V_{cp})은 각 프로그램 과정에서 동일하게 유지된다. 멀티-레벨 프로그램 방법은 U.S.

Patent No. 5,768,188에 "MULTI-STATE NON-VOLATILE SEMICONDUCTOR MEMORY AND METHOD FOR DRIVING THE SAME"라는 제목으로 설명되어 있으며, 레퍼런스로 포함된다. 향상된 로컬 셀프-부스팅 스킴을 이용한 멀티-레벨 프로그램 방법은, 그러므로, 여기서 생략될 것이다.

<78> 이상에서, 본 발명에 따른 회로의 구성 및 동작을 상기한 설명 및 도면에 따라 도시하였지만, 이는 예를 들어 설명한 것에 불과하며 본 발명의 기술적 사상 및 범위를 벗어나지 않는 범위 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<79> 상술한 바와 같이, 프로그램될 메모리 셀 트랜지스터에 인접한 비선택된 메모리 셀 트랜지스터들에 0V보다 높은 커플링 전압을 그리고 비선택된 메모리 셀 트랜지스터들에 인접한 트랜지스터들에 0V의 커플링 방지 전압을 인가함으로써, 프로그램될 셀 트랜지스터의 부유 게이트에 유도되는 전압이 증가된다. 그러므로, 메모리 셀을 프로그램하는 데 필요한 시간이 현저히 단축될 수 있다. 즉, 불 휘발성 반도체 메모리 장치의 프로그램 속도가 향상된다.

【특허청구범위】**【청구항 1】**

대응하는 비트 라인들에 각각 연결되며, 제 1 및 제 2 선택 트랜지스터들 사이에 직렬 연결되고 대응하는 워드 라인들에 각각 연결되는 복수의 메모리 셀 트랜지스터들을 갖는 스트링들을 포함하는 불 휘발성 반도체 메모리 장치의 프로그램 방법에 있어서:

프로그램될 메모리 셀 트랜지스터에 연결되는 제 1 워드 라인에 최인접한 적어도 하나의 제 2 워드 라인으로 커플링 전압을 그리고 상기 적어도 하나의 제 2 워드 라인에 최인접한 제 3 워드 라인으로 커플링 방지 전압을 각각 공급하는 단계와; 그리고

상기 제 1 워드 라인으로 프로그램 전압을 공급하는 단계를 포함하며, 상기 커플링 전압은 상기 커플링 방지 전압보다 높은 것을 특징으로 하는 프로그램 방법.

【청구항 2】

제 1 항에 있어서,

나머지 워드 라인들에는 패스 전압이 인가되는 것을 특징으로 하는 프로그램 방법.

【청구항 3】

제 2 항에 있어서,

상기 커플링 전압은 상기 패스 전압보다 높거나 같은 것을 특징으로 하는 프로그램 방법.

【청구항 4】

제 3 항에 있어서,

상기 프로그램될 메모리 셀 트랜지스터의 채널을 제 1 전압으로 그리고 프로그램 금지될 메모리 셀 트랜지스터의 채널을 제 2 전압으로 각각 프리차지하는 단계를 더 포함하는 것을 특징으로 하는 프로그램 방법.

【청구항 5】

제 4 항에 있어서,

상기 제 1 전압은 접지 전압이고 상기 제 2 전압은 ($V_{cc}-V_{th}$) (V_{th} 는 상기 제 1 선택 트랜지스터의 문턱 전압)인 것을 특징으로 하는 프로그램 방법

【청구항 6】

제 1 항에 있어서,

상기 메모리 셀 트랜지스터들 각각은 1-비트 데이터를 저장하는 것을 특징으로 하는 프로그램 방법.

【청구항 7】

제 1 항에 있어서,

상기 메모리 셀 트랜지스터들 각각은 멀티-비트 데이터를 저장하는 것을 특징으로 하는 프로그램 방법.

【청구항 8】

제 1 항에 있어서,

상기 커플링 방지 전압은 접지 전압인 것을 특징으로 하는 프로그램 방법.

【청구항 9】

제 1 항에 있어서,

상기 커플링 방지 전압은 접지 전압보다 낮은 것을 특징으로 하는 프로그램 방법.

【청구항 10】

대응하는 비트 라인들에 각각 연결되며, 제 1 및 제 2 선택 트랜지스터들 사이에 직렬 연결되고 대응하는 워드 라인들에 각각 연결되는 복수의 메모리 셀 트랜지스터들을 갖는 스트링들을 포함하는 불 휘발성 반도체 메모리 장치의 프로그램 방법에 있어서:

프로그램될 메모리 셀 트랜지스터의 채널을 제 1 전압으로 그리고 프로그램 금지될 메모리 셀 트랜지스터의 채널을 제 2 전압으로 각각 충전하는 단계와;

상기 프로그램될 메모리 셀 트랜지스터에 연결되는 제 1 워드 라인에 최인접한 2개의 제 2 워드 라인들로 커플링 전압을, 상기 제 2 워드 라인들에 각각 최인접한 2개의 제 3 워드 라인들로 커플링 방지 전압을, 그리고 나머지 워드 라인들로 패스 전압을 각각 공급하는 단계와; 그리고

상기 제 1 워드 라인으로 프로그램 전압을 공급하는 단계를 포함하며, 상기 커플링 방지 전압은 상기 커플링 전압과 상기 패스 전압보다 낮고; 그리고 상기 커플링 전압은 상기 패스 전압과 동일하거나 그 보다 낮은 것을 특징으로 하는 프로그램 방법.

【청구항 11】

제 10 항에 있어서,

상기 제 1 전압은 접지 전압이고 상기 제 2 전압은 $(V_{cc}-V_{th})'$ (V_{th} 는 상기 제 1 선택 트랜지스터의 문턱 전압)인 것을 특징으로 하는 프로그램 방법

【청구항 12】

제 10 항에 있어서,

상기 메모리 셀 트랜지스터들 각각은 1-비트 데이터를 저장하는 것을 특징으로 하는 프로그램 방법.

【청구항 13】

제 10 항에 있어서,

상기 메모리 셀 트랜지스터들 각각은 멀티-비트 데이터를 저장하는 것을 특징으로 하는 프로그램 방법.

【청구항 14】

제 10 항에 있어서,

상기 커패시팅 방지 전압은 접지 전압인 것을 특징으로 하는 프로그램 방법.

【청구항 15】

제 10 항에 있어서,

상기 커패시팅 방지 전압은 접지 전압보다 낮은 것을 특징으로 하는 프로그램 방법.

【청구항 16】

대응하는 비트 라인들에 각각 연결되며, 제 1 및 제 2 선택 트랜지스터들 사이에 직렬 연결되고 대응하는 워드 라인들에 각각 연결되는 복수의 메모리 셀 트랜지스터들을 갖는 스트링들을 포함하는 불 휘발성 반도체 메모리 장치의 프로그램 방법에 있어서:

프로그램될 메모리 셀 트랜지스터의 채널을 제 1 전압으로 그리고 프로그램 금지될 메모리 셀 트랜지스터의 채널을 제 2 전압으로 각각 충전하는 단계와;

상기 프로그램될 메모리 셀 트랜지스터에 연결되는 제 1 워드 라인에 최인접한 2개의 제 2 워드 라인들로 커플링 전압을, 상기 제 2 워드 라인들에 각각 최인접한 2개의 제 3 워드 라인들로 커플링 방지 전압을, 그리고 나머지 워드 라인들로 패스 전압을 각각 공급하는 단계와; 그리고

상기 제 1 워드 라인으로 프로그램 전압을 공급하는 단계를 포함하며, 상기 커플링 방지 전압은 상기 커플링 전압과 상기 패스 전압보다 낮고; 그리고 상기 커플링 전압은 상기 패스 전압과 동일하거나 그 보다 높은 것을 특징으로 하는 프로그램 방법.

【청구항 17】

제 16 항에 있어서,

상기 제 1 전압은 접지 전압이고 상기 제 2 전압은 ($V_{cc}-V_{th}$) (V_{th} 는 상기 제 1 선택 트랜지스터의 문턱 전압)인 것을 특징으로 하는 프로그램 방법

【청구항 18】

제 16 항에 있어서,

상기 메모리 셀 트랜지스터들 각각은 1-비트 데이터를 저장하는 것을 특징으로 하는 프로그램 방법.

【청구항 19】

제 16 항에 있어서,

상기 메모리 셀 트랜지스터들 각각은 멀티-비트 데이터를 저장하는 것을 특징으로 하는 프로그램 방법.

【청구항 20】

제 16 항에 있어서,

상기 커패시팅 방지 전압은 접지 전압인 것을 특징으로 하는 프로그램 방법.

【청구항 21】

제 16 항에 있어서,

상기 커패시팅 방지 전압은 접지 전압보다 낮은 것을 특징으로 하는 프로그램 방법.

【청구항 22】

대응하는 비트 라인들에 각각 연결되며, 제 1 및 제 2 선택 트랜지스터들 사이에 직렬 연결되고 대응하는 워드 라인들에 각각 연결되는 복수의 메모리 셀 트랜지스터들을 갖는 스트링들을 포함하는 불 휘발성 반도체 메모리 장치의 프로그램 방법에 있어서:

프로그램될 메모리 셀 트랜지스터의 채널을 제 1 전압으로 그리고 프로그램 금지될 메모리 셀 트랜지스터의 채널을 제 2 전압으로 각각 충전하는 단계와;

상기 프로그램될 메모리 셀 트랜지스터에 연결되는 제 1 워드 라인에 최인접한 적어도 하나의 제 2 워드 라인으로 커패시팅 전압을 그리고 나머지 워드 라인들로 패스 전압을 각각 공급하는 단계와; 그리고

상기 제 1 워드 라인으로 프로그램 전압을 공급하는 단계를 포함하며, 상기 커패시팅 전압은 상기 패스 전압과 동일하거나 그 보다 높은 것을 특징으로 하는 프로그램 방법.

【청구항 23】

제 22 항에 있어서,

상기 제 1 전압은 접지 전압이고 상기 제 2 전압은 ($V_{cc}-V_{th}$) (V_{th} 는 상기 제 1 선택 트랜지스터의 문턱 전압)인 것을 특징으로 하는 프로그램 방법

【청구항 24】

제 22 항에 있어서,

상기 메모리 셀 트랜지스터들 각각은 1-비트 데이터를 저장하는 것을 특징으로 하는 프로그램 방법.

【청구항 25】

복수 개의 비트 라인들과;

복수 개의 워드 라인들과;

상기 비트 라인들에 각각 연결되는 복수 개의 셀 스트링들과;

상기 셀 스트링들 각각은 대응하는 비트 라인과 공통 소오스 라인 사이에 연결되며, 스트링 선택 라인에 연결된 제 1 선택 트랜지스터, 접지 선택 라인에 연결된 제 2 선택 트랜지스터, 그리고 상기 선택 트랜지스터들 사이에 직렬 연결되고 대응하는 워드 라인들에 각각 연결된 복수 개의 메모리 셀 트랜지스터들을 가지며;

상기 스트링 선택 라인, 상기 워드 라인들, 그리고 상기 접지 선택 라인에 연결되며, 상기 워드 라인들 중 하나의 제 1 워드 라인을 선택하는 행 선택 회로와; 그리고

프로그램 동작시, 상기 선택된 제 1 워드 라인의 메모리 셀 트랜지스터들 중 프로그램될 메모리 셀 트랜지스터들의 채널들로 제 1 전압을 그리고 프로그램 금지될 메모리 셀 트랜지스터들의 채널들로 제 2 전압을 각각 공급하는 프리차지 회로를 포함하며,

프로그램 동작시 상기 선택된 제 1 워드 라인으로 프로그램 전압을 공급하기 이전에, 상기 행 선택 회로는 상기 제 1 워드 라인에 최인접한 적어도 하나의 제 2 워드 라인으로 커플링 전압을 공급하고 상기 제 2 워드 라인에 최인접한 제 3 워드 라인으로 커플링 방지 전압을 공급하며 나머지 워드 라인들로 패스 전압을 공급하되, 상기 커플링 전압은 상기 커플링 방지 전압보다 높은 불 휘발성 반도체 메모리 장치.

【청구항 26】

제 25 항에 있어서,

상기 제 1 전압은 접지 전압이고 상기 제 2 전압은 ($V_{cc}-V_{th}$) (V_{th} 는 상기 제 1 선택 트랜지스터의 문턱 전압)인 불 휘발성 반도체 메모리 장치.

【청구항 27】

제 25 항에 있어서,

상기 메모리 셀 트랜지스터들 각각은 1-비트 데이터를 저장하는 불 휘발성 반도체 메모리 장치.

【청구항 28】

제 25 항에 있어서,

상기 메모리 셀 트랜지스터들 각각은 멀티-비트 데이터를 저장하는 불 휘발성 반도체 메모리 장치.

【청구항 29】

제 25 항에 있어서,

상기 커플링 방지 전압은 접지 전압인 불 휘발성 반도체 메모리 장치.

【청구항 30】

제 25 항에 있어서,

상기 커플링 방지 전압은 접지 전압보다 낮은 불 휘발성 반도체 메모리 장치.

【청구항 31】

제 25 항에 있어서,

상기 커플링 전압은 상기 패스 전압과 동일하거나 그 보다 높은 불 휘발성 반도체 메모리 장치.

【청구항 32】

제 25 항에 있어서,

상기 커플링 전압은 상기 패스 전압보다 낮은 불 휘발성 반도체 메모리 장치.

【청구항 33】

복수 개의 비트 라인들과;

복수 개의 워드 라인들과;

상기 비트 라인들에 각각 연결되는 복수 개의 셀 스트링들과;

상기 셀 스트링들 각각은 대응하는 비트 라인과 공통 소오스 라인 사이에 연결되며, 스트링 선택 라인에 연결된 제 1 선택 트랜지스터, 접지 선택 라인에 연결된 제 2

선택 트랜지스터, 그리고 상기 선택 트랜지스터들 사이에 직렬 연결되고 대응하는 워드 라인들에 각각 연결된 복수 개의 메모리 셀 트랜지스터들을 가지며;

상기 스트링 선택 라인, 상기 워드 라인들, 그리고 상기 접지 선택 라인에 연결되며, 상기 워드 라인들 중 하나의 제 1 워드 라인을 선택하는 행 선택 회로와; 그리고

프로그램 동작시, 상기 선택된 제 1 워드 라인의 메모리 셀 트랜지스터들 중 프로그램될 메모리 셀 트랜지스터들의 채널들로 제 1 전압을 그리고 프로그램 금지될 메모리 셀 트랜지스터들의 채널들로 제 2 전압을 각각 공급하는 프리차지 회로를 포함하며,

프로그램 동작시 상기 선택된 제 1 워드 라인으로 프로그램 전압을 공급하기 이전에, 상기 행 선택 회로는 상기 제 1 워드 라인에 최인접한 적어도 하나의 제 2 워드 라인으로 커플링 전압을 공급하고 나머지 워드 라인들로 패스 전압을 각각 되, 상기 커플링 전압은 상기 패스 전압과 동일하거나 그 보다 높은 불 휘발성 반도체 메모리 장치.

【청구항 34】

제 33 항에 있어서,

상기 제 1 전압은 접지 전압이고 상기 제 2 전압은 $(V_{cc}-V_{th})$ (V_{th} 는 상기 제 1 선택 트랜지스터의 문턱 전압)인 불 휘발성 반도체 메모리 장치.

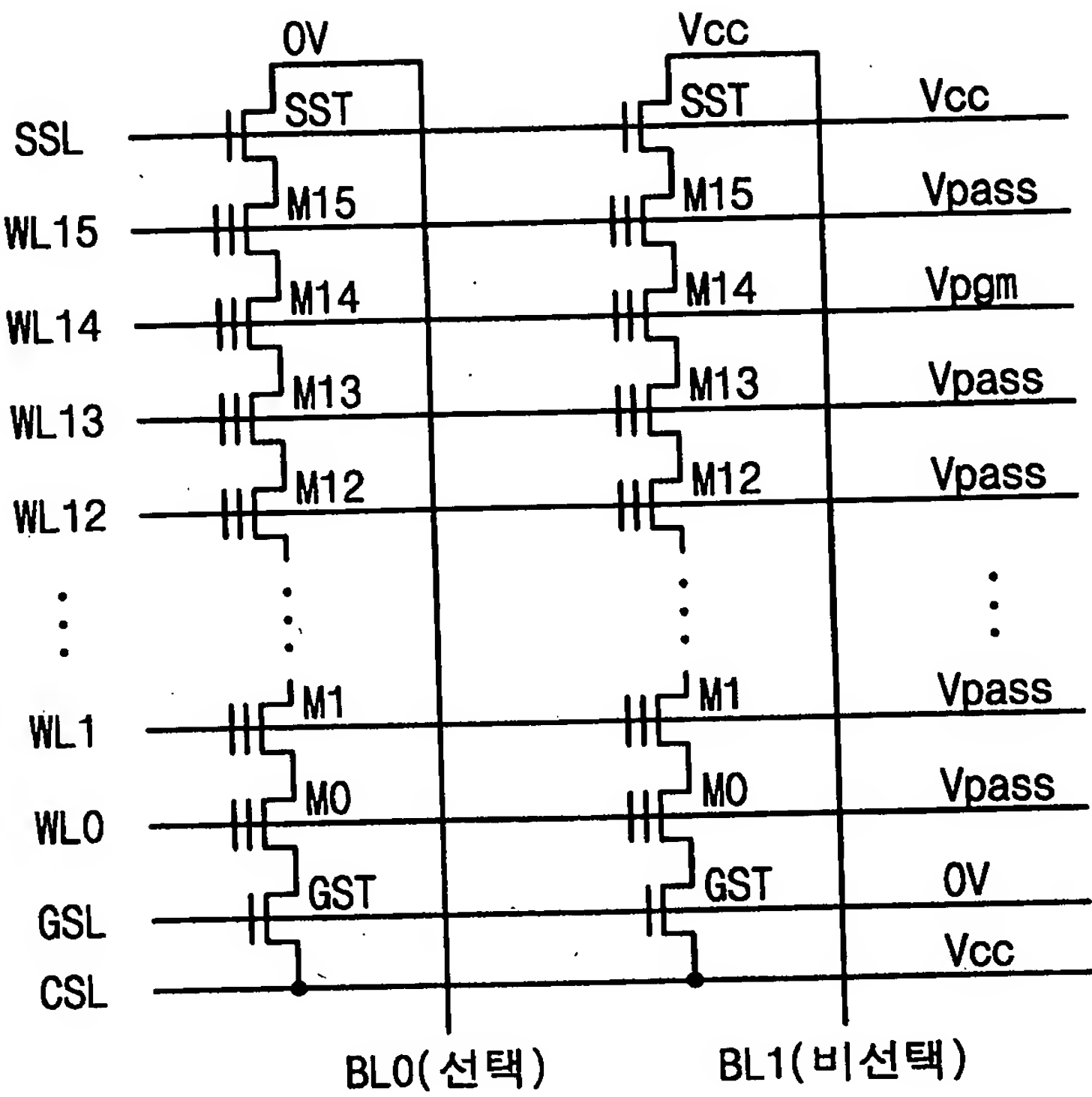
【청구항 35】

제 33 항에 있어서,

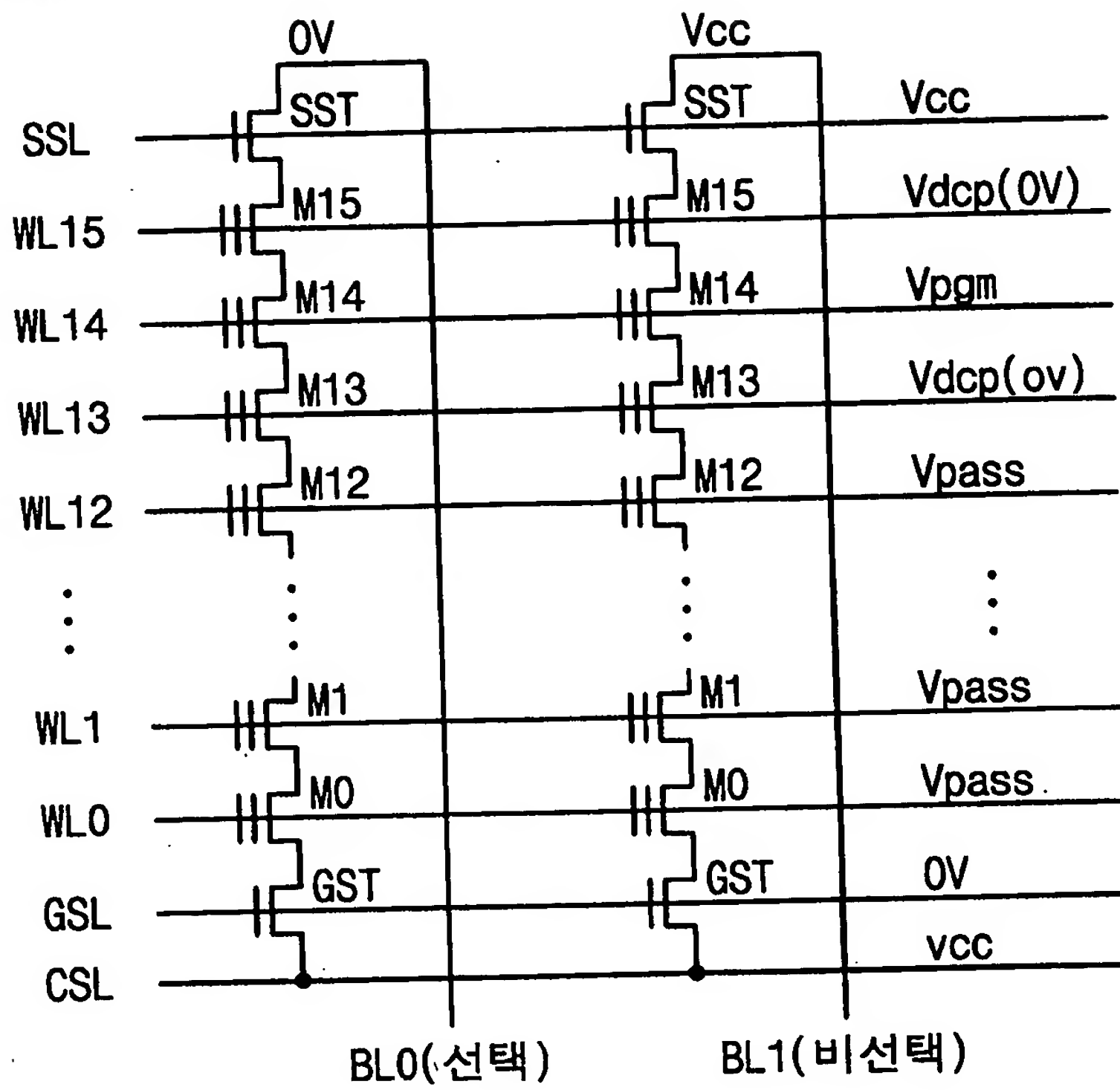
상기 메모리 셀 트랜지스터들 각각은 1-비트 데이터를 저장하는 불 휘발성 반도체 메모리 장치.

【도면】

【도 1】
(종래 기술)



【도 2】

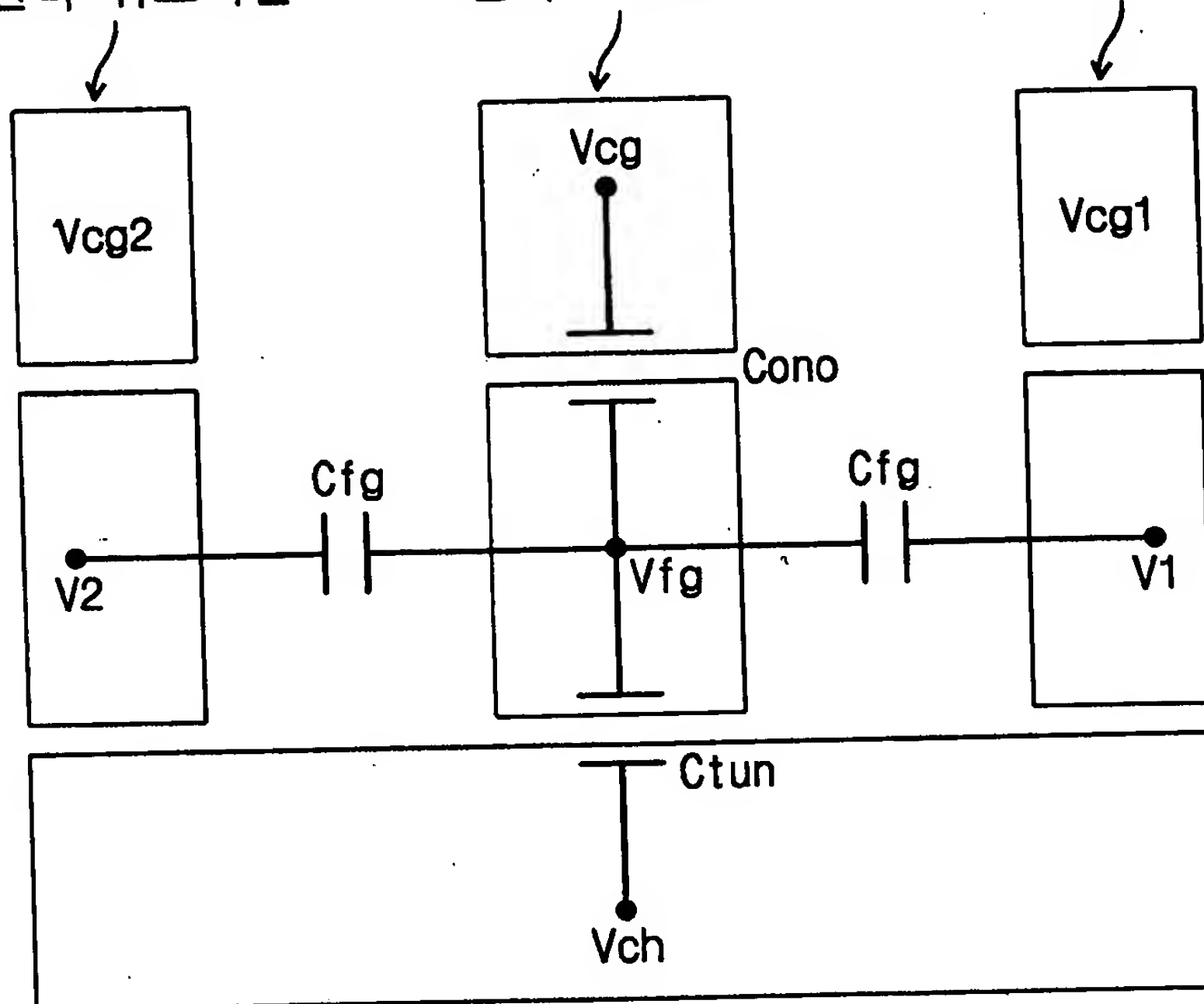


【도 3】

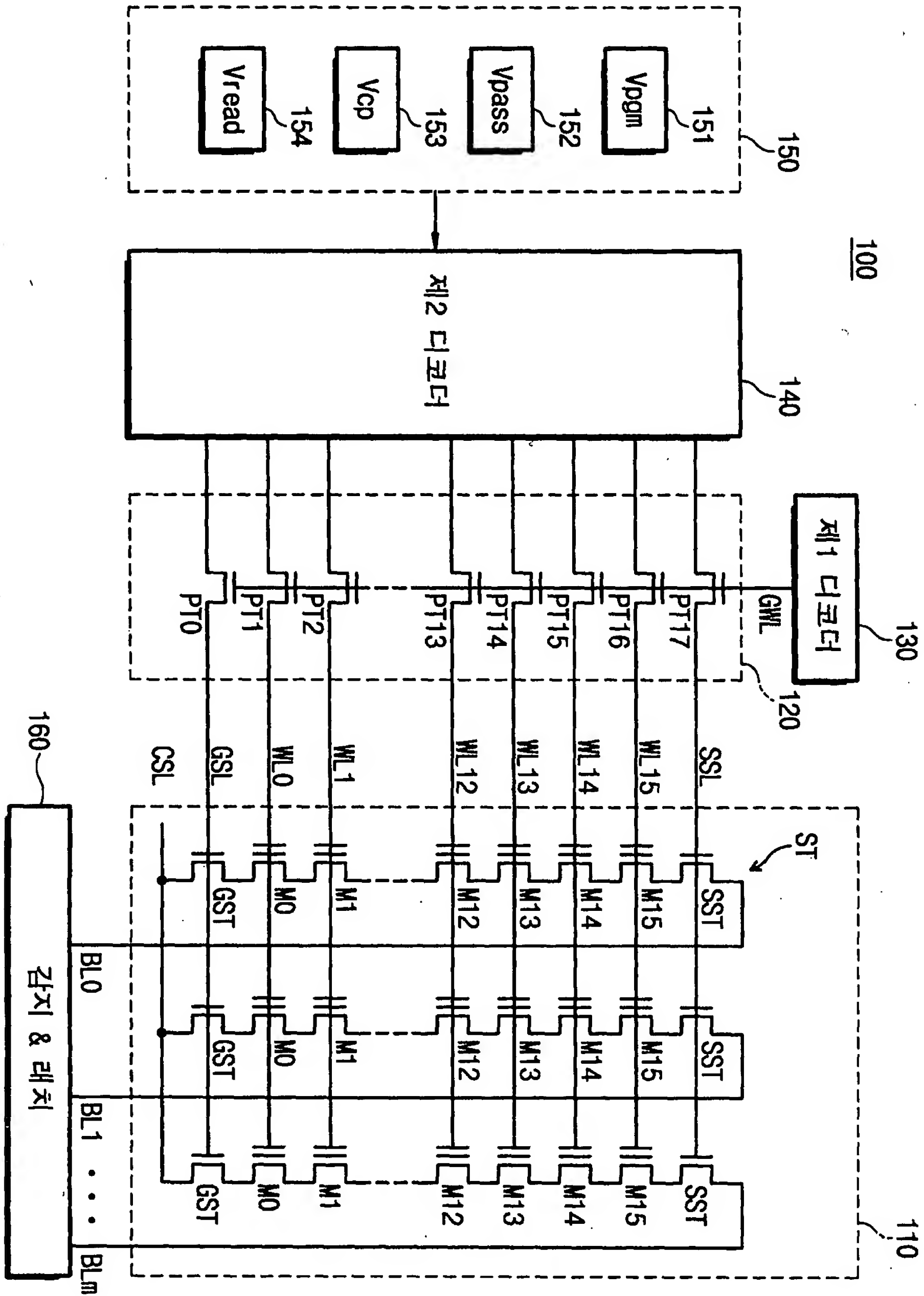
비선택 워드라인

선택 워드라인

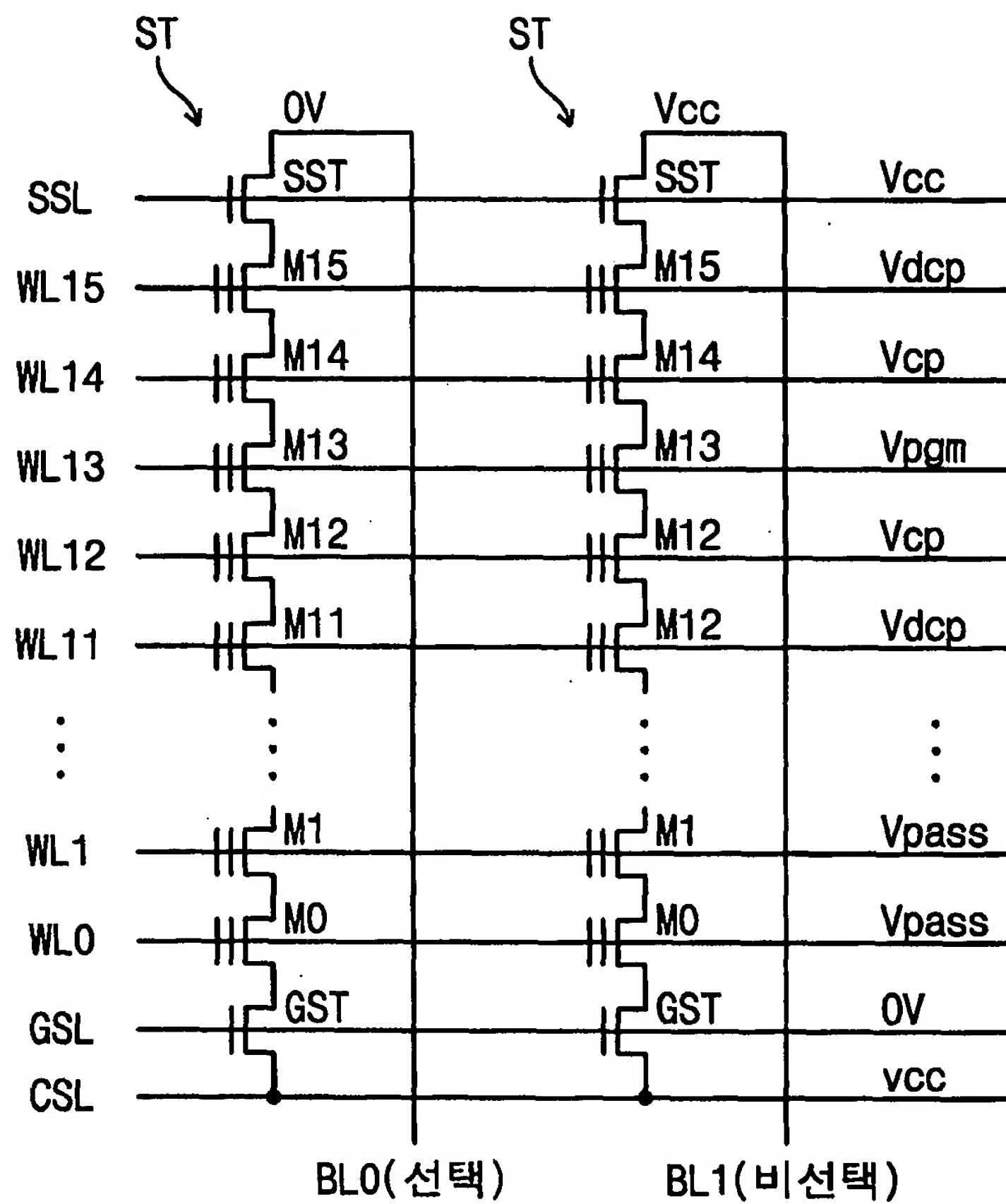
비선택 워드라인



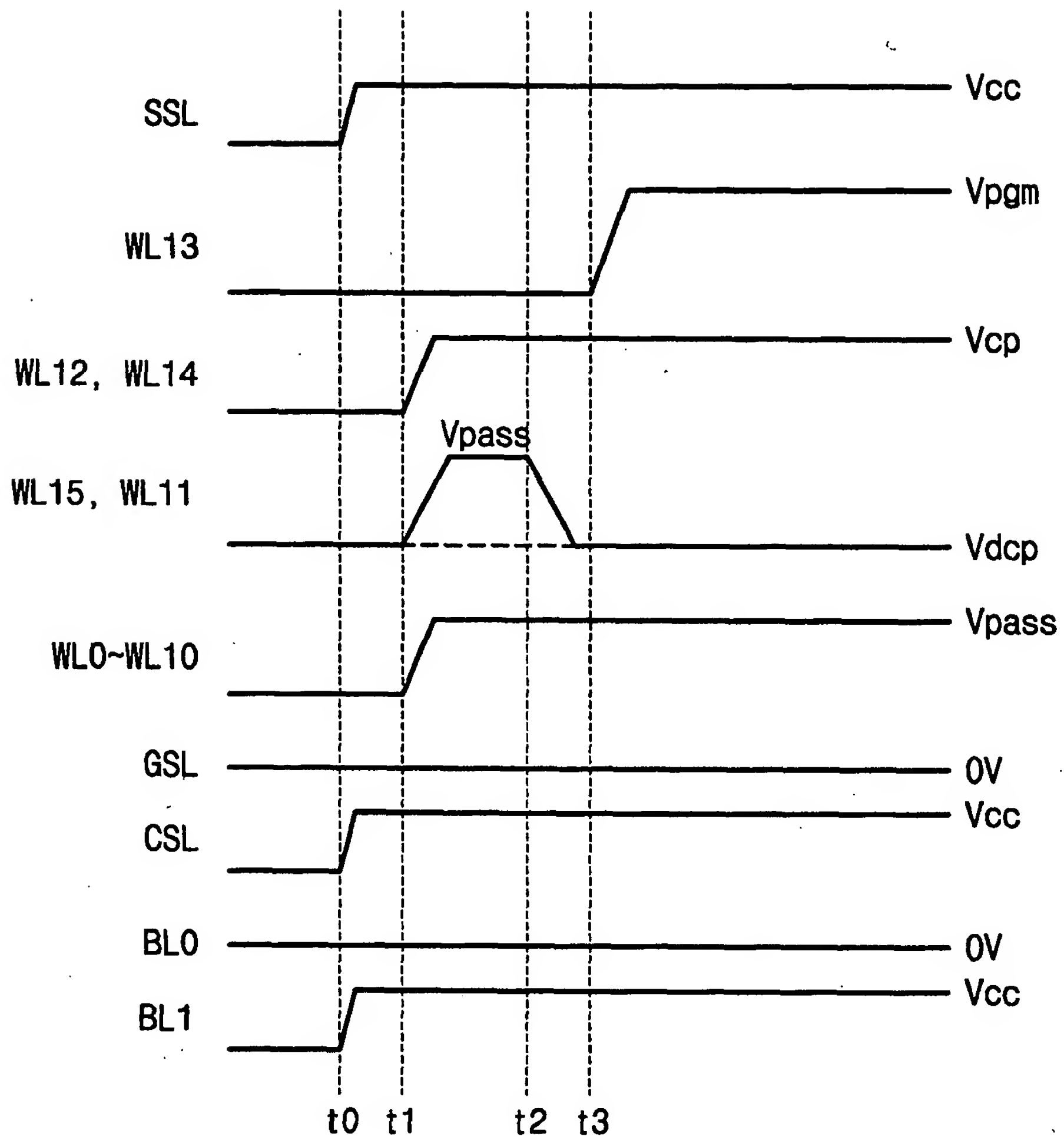
【도 4】



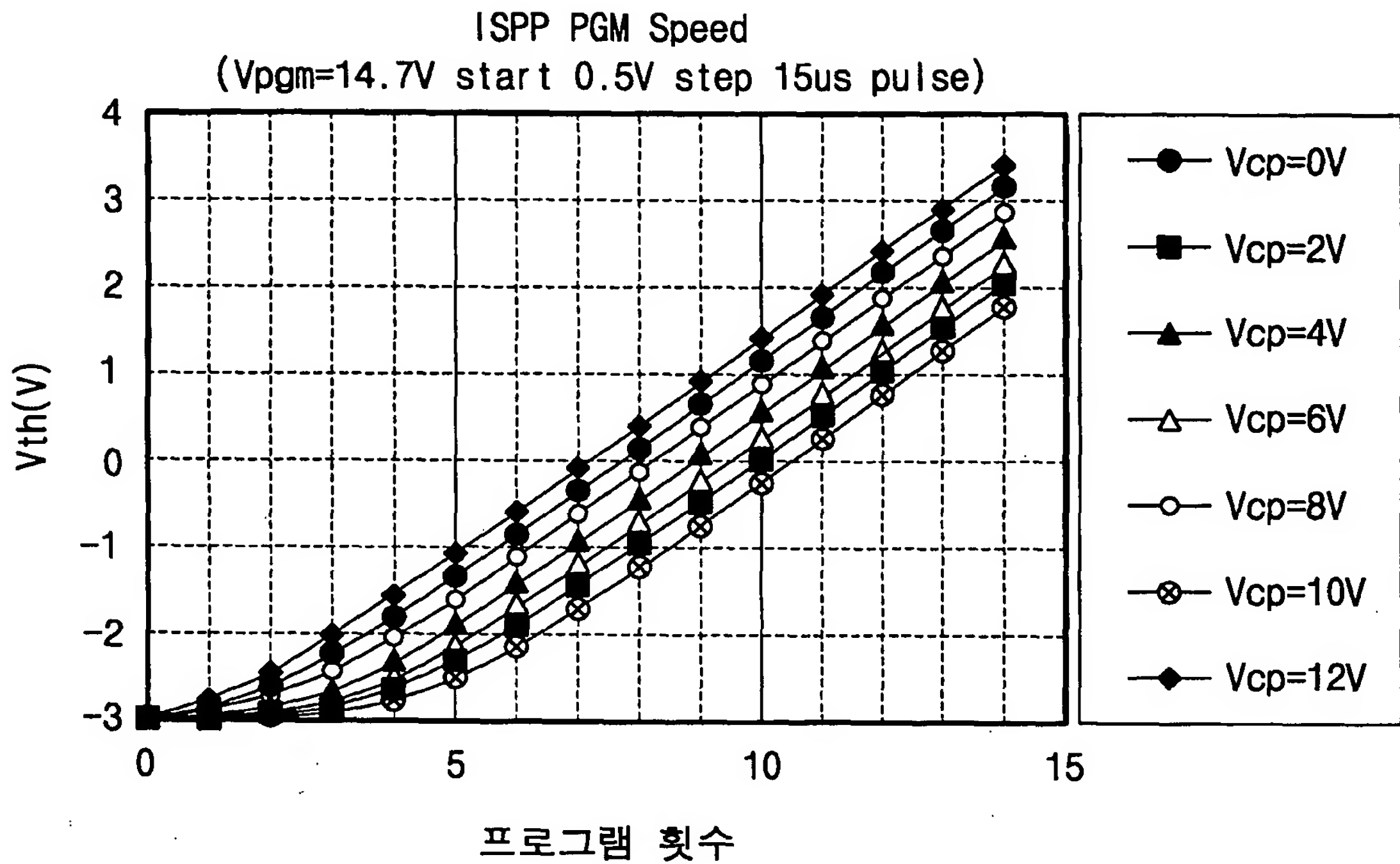
【도 5】



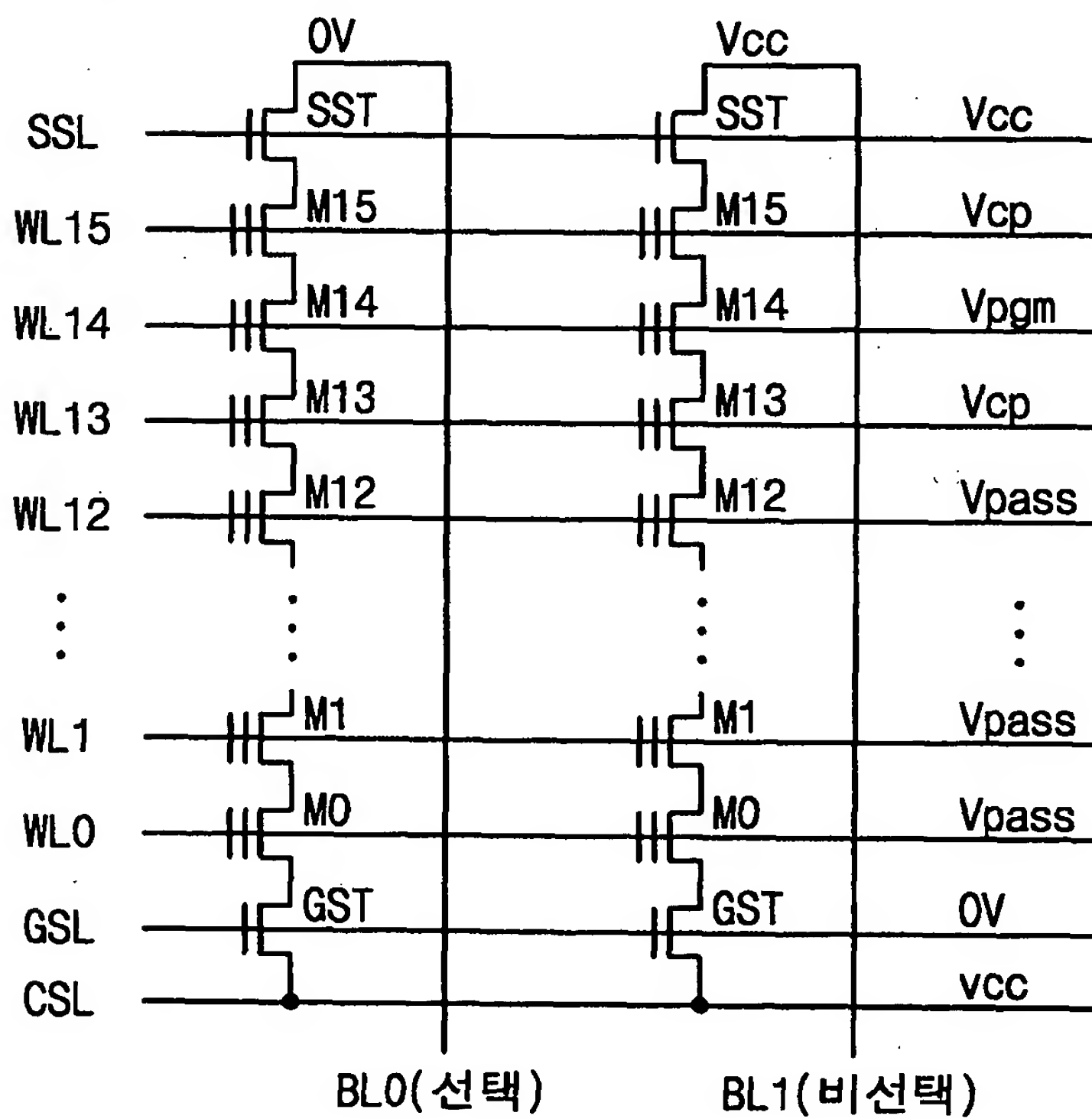
【도 6】



【도 7】



【도 8】





【도 9】

